

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03171034 A**

(43) Date of publication of application: **24.07.91**

(51) Int. Cl.

G02F 1/136
G09F 9/30
H01L 29/784

(21) Application number: **01309339**

(71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **30.11.89**

(72) Inventor: **AKIYAMA MASAHIKO**

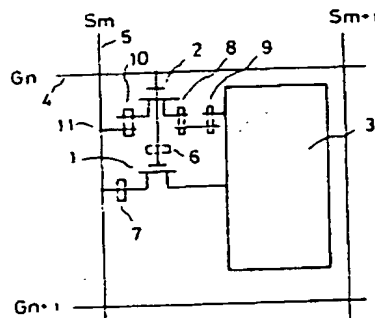
(54) **LIQUID CRYSTAL DISPLAY DEVICE AND PRODUCTION THEREOF**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To obviate the generation of spot defects by providing electrically floating 2nd transistors (TRs) in unit picture elements.

CONSTITUTION: The liquid crystal display device consisting of an active matrix substrate which has picture element electrodes 3 placed in the regions enclosed by plural scanning lines 4 and signal lines 5 disposed in a matrix form and 1st TRs 1 connected to the scanning lines 4, the signal lines 5 and the picture element electrodes 3, a counter substrate which faces the active matrix substrate and a liquid crystal layer which is crimped between the active matrix substrate and the counter substrate is provided with the electrically floating 2nd TRs 2 in the unit picture elements. Namely, just one TR 1 is previously connected and if a defect arises, this defective element 1 is cut and another element 2 is connected to perfectly repair the defect. The spot defects are completely eliminated in this way.



THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-171034

⑬ Int.Cl.⁵

G 02 F 1/136
G 09 F 9/30
H 01 L 29/784

識別記号

5 0 0
3 3 8

庁内整理番号

9018-2H
8621-5C

⑭ 公開 平成3年(1991)7月24日

9056-5F H 01 L 29/78 3 1 1 A

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 液晶表示装置及びその製造方法

⑯ 特 願 平1-309339

⑰ 出 願 平1(1989)11月30日

⑱ 発 明 者 秋 山 政 彦 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

液晶表示装置及びその製造方法

2. 特許請求の範囲

(1) マトリクス状に配した複数の走査線及び信号線に囲まれた領域に置かれた画素電極と、走査線、信号線及び画素電極に接続された第1のトランジスタを具備した単位画素を有するアクティブマトリクス基板と；前記アクティブマトリクス基板と対峙する対向基板と；前記アクティブマトリクス基板と対向基板の間に挟持された液晶層から成る液晶表示装置において、前記単位画素に電気的に浮いた第2のトランジスタを設けたことを特徴とする液晶表示装置。

(2) 前記単位画素は少なくとも2つの補助容量を有し、このうち1つの補助容量は電気的に浮いていることを特徴とする請求項1記載の液晶表示装置。

(3) マトリクス状に配した走査線及び信号線に囲まれた領域に置かれた画素電極と、走査線、信

号線及び画素電極に接続された第1のトランジスタと、電気的に浮いた第2のトランジスタを具備した単位画素を有するアクティブマトリクス基板と、対向基板の間に液晶を封入する液晶表示装置の製造方法において、走査線及び信号線に電流を流し、表示動作を行なうことにより不良画素を検出し、この画素の第1のトランジスタを電気的に浮いた状態にすると共に、第2のトランジスタが走査線、信号線及び画素電極と接続された状態とする工程を備えたことを特徴とする液晶表示装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は液晶表示装置及びその製造方法に関する。

(従来の技術)

アクティブマトリクス方式の液晶表示装置は画素数が多くなっても画質が良くフラットパネルディスプレイとして有望視されている。しかし、

アクティブマトリクス基板は画素数の増加、表示面積の増大に伴い、これを無欠陥で製造することが困難になっている。例えば 640×480 画素のカラー表示では $640 \times 3 \times 480 = 92$ 万画素があり92万個のトランジスタ、1920本の信号線、480本の走査線のすべてにわたり断線、ショート等の不良をなくさなければならない。

第7図は従来のアクティブマトリクス基板の回路図を示す。1画素に1つのトランジスタと1つの補助容量を有しており、これで機能的には十分である(場合により、補助容量はなくてもよい)。表示欠陥としては線欠陥と点欠陥があるが、点欠陥の方が発生しやすい。これは画素数が線の本数よりはるかに大きいことで欠陥となる確率に差があることに起因する。点欠陥にもいくつかのモードが考えられるが、トランジスタの不良および補助容量のショートによる点欠陥が発生しやすい。第7図の回路ではトランジスタおよび補助容量に不良があればその画素は不良となり点欠陥として見えてしまう。

正規の信号を欠陥発生画素に送るために、1画素当りの走査線や信号線を複数にする方式もあるが、配線領域が増え、したがって開口率が低下し、また近接する配線同志のショートが発生しやすく新たな欠陥を生むなど問題があった。

(発明が解決しようとする課題)

以上のようにアクティブマトリクス方式の液晶ディスプレイ等で、トランジスタの不良、および補助容量のショート等による点欠陥の発生をなくす方法として従来の方式にみられた修復が完全に行なわれないことや冗長回路の存在が特に大型化、高精細化で負荷の増大や開口率の低下などの不利益をもたらすことを本発明は解決するものである。

[発明の構成]

(課題を解決するための手段)

本発明は、マトリクス状に配した複数の走査線及び信号線に囲まれた領域に置かれた画素電極と、走査線、信号線及び画素電極に接続された第1のトランジスタを具備した単位画素を有するア

これに対し、点欠陥を救済する方法がいくつか知られている。第8図はその1例である。トランジスタを2つ設け、図のように一方($Tr1$)は n 番目の走査線、 m 番目の信号線に接続され、もう一方($Tr2$)は $n+1$ 番目の走査線、 m 番目の信号線に接続されている。両方とも良であれば画素電圧は $Tr2$ で寄込まれた値となっている。もし $Tr1$ が不良ならばこれを切断すればよく、もし $Tr2$ が不良ならば $Tr2$ を切断する。しかし後者では $Tr1$ により寄込まれる信号は正規の信号ではなく1つ上の画素と同じ信号となってしまう。ただテレビ表示など1画素のずれで画像が大きく変化しない場合は不良が目立たなくなる。しかしOA用では1ドットごとに正規の信号が来ないと、情報を正確に表示できないため完全な点欠陥の救済が要求される。さらに、この方法は1本の走査線に2つのトランジスタを接続することで走査線の容量が増加し、ゲートパルスの伝播遅延が起こり、画面の大型化、画素数の増大化に不利である。

クティブマトリクス基板と;前記アクティブマトリクス基板と対峙する対向基板と;前記アクティブマトリクス基板と対向基板の間に挟持された液晶層から成る液晶表示装置において、前記単位画素に電気的に浮いた第2のトランジスタを設けたことを特徴とする液晶表示装置である。

また、本発明はマトリクス状に配した走査線及び信号線に囲まれた領域に置かれた画素電極と、走査線、信号線及び画素電極に接続された第1のトランジスタと、電気的に浮いた第2のトランジスタを具備した単位画素を有するアクティブマトリクス基板と、対向基板の間に液晶を封入する液晶表示装置の製造方法において、走査線及び信号線に電流を流し、表示動作を行なうことにより不良画素を検出し、この画素の第1のトランジスタを電気的に浮いた状態にすると共に、第2のトランジスタが走査線、信号線及び画素電極と接続された状態とする工程を備えたことを特徴とする液晶表示装置の製造方法である。

つまり、本発明は、アクティブマトリクス基板

の1画素の構成として、2つ以上のトランジスタを有しそのうちの1つをあらかじめ画素電極、走査線、信号線と接続することかつトランジスタに不良が発生した場合にはこれを切断し別のトランジスタを接続することを特徴とする。また、1画素に補助容量を設ける場合は、補助容量についても1画素に2つ以上の容量を設けそのうちの1つのみをあらかじめ接続し、この容量に不良が発生した場合にはこれを切断し別の容量を接続することを特徴とする。

(作用)

アクティブマトリクス基板のトランジスタ及び保持容量はゴミによる層間ショートを起こし、不良となることが多いが、ゴミの大きさは通常 $10\mu\text{m}$ 以下と極めて小さいため近接した画素の素子が同時に不良になることは確率が低い。そこで、1つの画素に複数の素子を入れることで同時に不良となることを防ぐことができる。本発明ではあらかじめ1つ(又は1組)のトランジスタ(又はトランジスタと補助容量)のみを接続して

ジスタ、多結晶シリコン薄膜トランジスタなどを用いることができる。

この例ではトランジスタ2の切断点は画素電極3との間で2か所8、9と信号線との間で1か所10である。切断点をさらに増すことも可能でたとえば信号線の間の点11を切断することもできる。また切断点数を減少させたり、ゲートと走査線の間をあらかじめ切断することもよい。ただ複数箇所で切断することで、切断部分の不良(ショートしてしまう)が考えられるが、同時に2つ以上が不良になる確率は低いので確実な切断ができる。

さて、この構成のアクティブマトリクスで液晶ディスプレイを形成する場合この画素の不良は表示動作させることで発見できる。つまり通常のようにアクティブマトリクス基板と対向基板を数 μm のギャップを持たせてはり合せ、間に液晶を注入した液晶ディスプレイを作り、動作させることで発見できる。ノーマリホワイト(液晶に電圧を印加しない時白くなる)モードでは、画面の一

いるが、不良が発生した際にその不良素子を切断し、別の素子を接続することにより正規の信号を蓄込むことができ、完璧な欠陥修復が可能になる。

不良素子の発見は、あらかじめ接続されている素子は1つ又は1組であり画素の不良により素子の不良を特定することは容易である。

信号線、走査線等の配線は1画素当たり1本ずつにすることができ、欠陥修復のため余分な配線を設けることは不用である。

各配線に接続されている素子は1画素当たり1つであり配線の容量性負荷を増加させることがない。

(実施例)

以下、本発明の実施例を説明する。

第1図は本実施例の液晶ディスプレイ用のアクティブマトリクス基板の単位画素の構成を模式的な回路図で示したものである。単位画素にはあらかじめ接続されたトランジスタ1とゲートは、走査線4と接続されているが信号線5と画素電極3とは切断されたトランジスタ2が設けられている。トランジスタはアモーフスシリコン薄膜トラン

ジスタを黒に表示し、その部分を移動するとトランジスタのオン電流が不足している場合および、リーク電流が多い場合とも不良画素は白くなるためトランジスタ不良であることがわかる。この他信号のタイミングを変えたりゲートパルスの幅を変えたりする際の画素の光透過特性を調べることで不良が発見できる。

このようにしてトランジスタ不良が発見できたら、この画素には1つのトランジスタしか接続されていないから、不良はトランジスタ1であることが特定できる。そこで、トランジスタ1を切断するために点6、7を切る。そしてトランジスタ2を接続するために点8、9、11をショートさせる。この様子をさらに具体的に示すために第1図の回路を実現したパターンの模式図を示す。

トランジスタ1の切断はゲートと走査線4を接続しているC1の所および信号線5とソース電極とを接続しているC2の所をそれぞれレーザーの照射で溶融、蒸発させトリミングすることで行なうことができる。一方トランジスタ2の接続では、

接続箇所は、第2図(b)に示すように下部電極20と上部電極21を層間絶縁膜24を介して上下に重ね合せて絶縁することであらかじめ切断されており、この重ね合された部分にレーザー照射をすると絶縁膜24が破壊され下部電極20と上部電極21が溶融接続されることで実現できる。レーザー照射はガラス基板の素子のある面と反対側から表示を見ながら行なうことができる。接続点W1(8)、W2(9)、W3(10)を順次又は同時に照射することでトランジスタ2が画素電極3と信号線5を接続することができる。なお、この接続箇所の構成はこの例に限らない。例えば層間絶縁膜24は半導体層も含めることができるし、上部、下部電極の材料はゲートやソースドレインと同一にすることも別にすることもできる。例えばゲートと下部電極、信号線又はITOと上部電極を別の層にすることでお互いのショートを低減させることができる。

図から明らかなように信号は正規のものがトランジスタ2を介して画素電極に寄込まれるので完

全に点欠陥を修復することができる。

修復前でトランジスタ2は走査線とは接続されているが信号線、画素電極とは切断されて電気的には浮いた状態となっているため走査線の容量性負荷とはほとんどならず、従来の1トランジスタ方式と同程度の伝播遅延を実現できている。修復した場合も切断された方は電気的に浮くため同様である。

本実施例では、 1920×480 画素で対角10～12インチのアクティブマトリクス液晶ディスプレイに適用し、修復前で数個あった点欠陥をすべて補修することができ修復した画素の表示特性は周囲の正常画素とほとんど変化がなくディスプレイとして完全に無欠陥なものが得られ、歩留りが大幅に改善された。

なお本実施例でトランジスタ2と画素電極3との間を2か所で切断してあるが、前述の効果の他にそれぞれわずかながらも容量を有しているが、2か所であるため直列接続となり容量がさらに低減されているためトランジスタ2のゲート・ソー

ス間容量によるゲートパルスのノイズが画素電極に入るのを低減できている。

第3図は他の実施例を説明する回路図、第4図はその回路を実現したパターンの平面図の様式図を示したものである。

この例では単位画素にトランジスタの他に補助容量を設ける場合を示している。補助容量は画素電極であるITOとグラウンド線12と同一の材料を2つの電極とし間に絶縁膜をはさむことで形成されている。補助容量13はあらかじめ画素電極3とグラウンド線12と接続されており、補助容量14は、グラウンド線12との間が2か所15、16で切断されている。トランジスタ部は前述の実施例と同一の構成となっている。

補助容量の不良とは2つの電極がショートして画素電極の電荷がグラウンド線にリークしてしまうことである。これはグラウンド線の電圧を変えることで表示が変化することにより容易に判定することができる。補助容量の不良があればそれはあらかじめ接続している方(容量13)の不良で

あるから、これを切断し(例えば図の17の点をレーザー切断する)もともと切断されている容量14を前述の例と同じくレーザー溶接によりW5、W6の点(15、16)を接続することで補修することができる。

この補修によりこの画素の容量の変化はほとんどなく回路として完全に修復することができている。グラウンド線の容量性負荷も補修の前後で変化せず単位画素当り補助容量1つ分であり従来の1補助容量の場合と同一のグラウンド線低抗でよい。

第5図はさらに別の実施例の様式的な回路図、第6図はこれを実現する平面図の様式図を示す。この実施例は第3図と同じくトランジスタと補助容量を有する場合で補助容量の作り方が異なる例を示している。

第4図ではグラウンド線12と次の画素の走査線 G_{n+1} 4'と近接しているためお互いの間がショートする確率がやや高くなるがこの実施例では第5、6図のように2つの走査線4、4'の間に

グラウンド線12を設けている。あらかじめ接続されている補助容量31は画素を横切るグラウンド線12と画素電極3との間で形成されている。補助容量32は2つの切断点35、36によりグラウンド線12と切離されている。このパターンでは補助容量31に不良がある場合は第6図でわかるように2点33、34で切断しなければならない。補助容量32を接続するには点35、36でレーザー溶接をすればよいが、グラウンド線12は左右両側から給電しておけば問題なくなる。

以上の実施例で補助容量の構成として画素電極を上部電極としこれと下部電極の間に絶縁膜を介したものを示したがこの例に限ることはない。例えば絶縁膜の他にアモーフラスシリコン層も介すことができるし、上部電極を信号線と同一材料とし画素電極と接続することもできる。また補助容量をグラウンド線と接続しているが、よくみられるように、となりの走査線と接続することもできる。

トランジスタの切断、接続は以上の例では3つ

の端子のうち2か所としたが、3か所ともでもよい。またゲートはあらかじめ接続したが切断しておいてもよい。

切断、接続にレーザートリミング、レーザー溶接を用いたが、これに限定することはない。エッチングで切断したり、レーザーCVDで成膜により接続することも可能である。

アクティブマトリクス基板の適用例として液晶ディスプレイを示したが、他のディスプレイ例えばプラズマディスプレイやELでもよい。また密着センサなどの入力デバイスへの適用でもかまわない。

【発明の効果】

本発明により液晶表示装置の点欠陥をほぼ完全に補修することができ歩留りを大幅に改善することができる。さらに、余分な配線を設けることもない。また配線に接続している容量性負荷も増加することがなく大型基板で特に問題になる信号の伝播遅延が増加することがほとんどない。したがって補修のために性能を犠牲にすることがなく歩

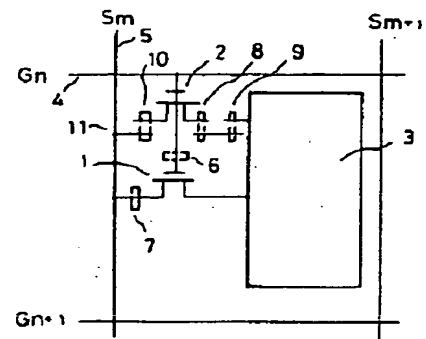
留りの改善と合せ総合的なコストパフォーマンスを向上させることができる。

4. 図面の簡単な説明

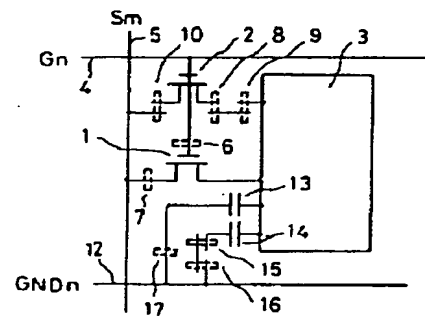
第1図は本発明の一実施例を示す模式的な回路図、第2図はこの回路を実現したパターンの平面図等の模式図、第3図、第5図は他の実施例の回路図、第4図、第6図は他の実施例のパターンの平面図、第7図は従来のアクティブマトリクス基板の回路図、第8図は従来の欠陥補修を考慮した回路図を示す。

- 1…第1のトランジスタ
- 2…第2のトランジスタ
- 3…画素電極
- 4…走査線
- 5…信号線

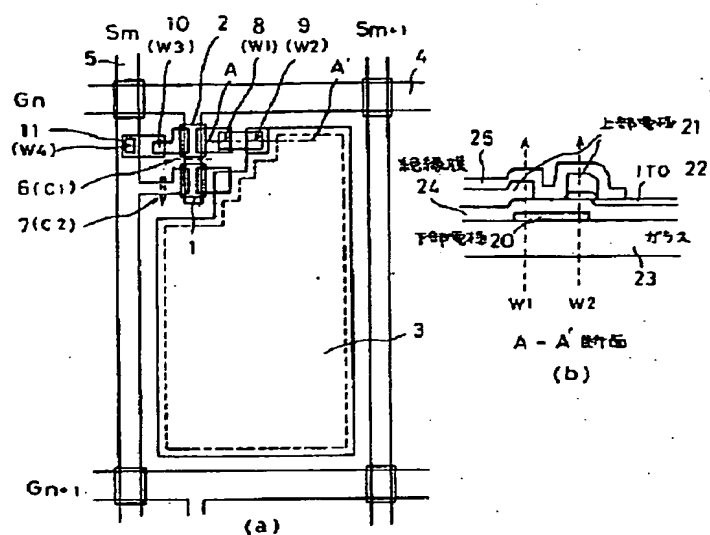
代理人弁理士 則 近 憲 佑
同 松 山 允 之



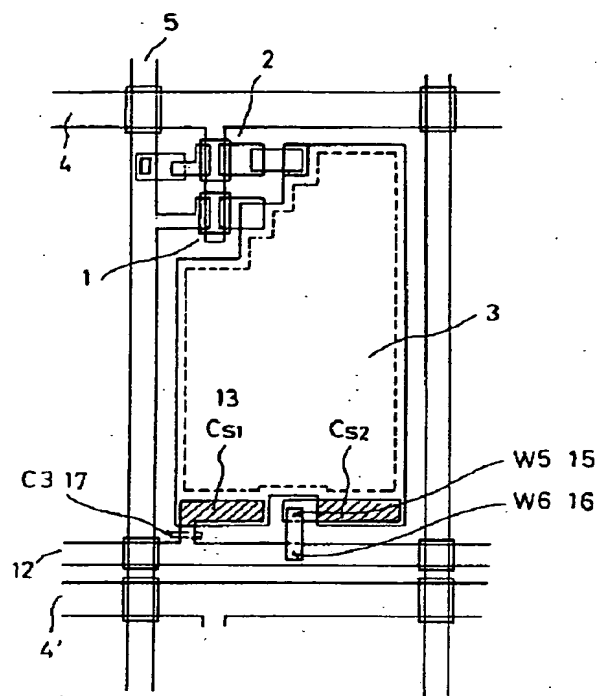
第 1 図



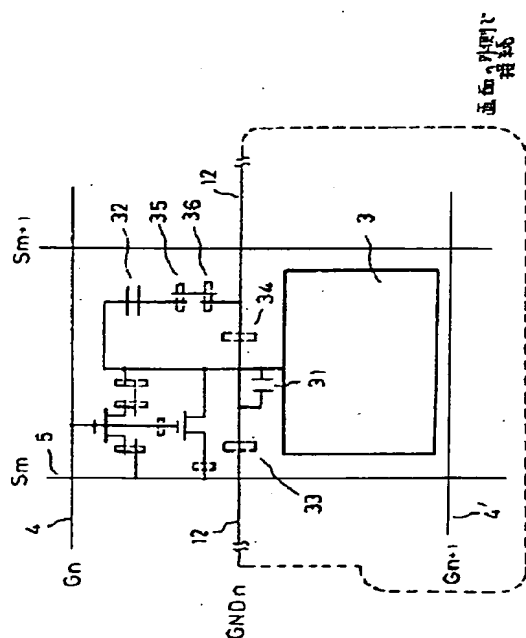
第 3 図



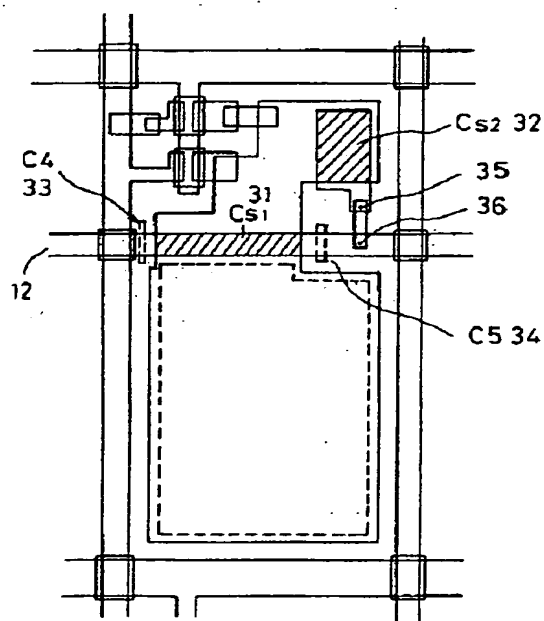
第 2 図



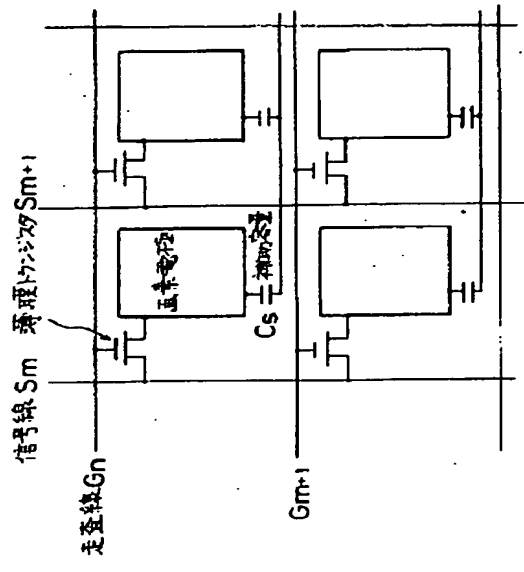
第 4 図



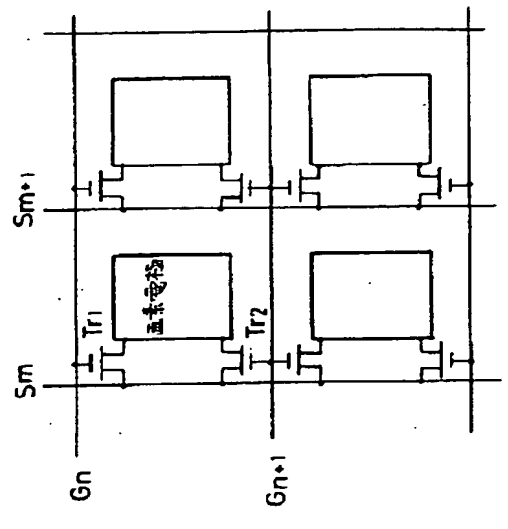
第 5 図



第 6 図



第 7 図



第 8 図

THIS PAGE BLANK (USPTO)